

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—90565

⑤ Int. Cl.³
H 01 L 29/91
29/48

識別記号

庁内整理番号
6749—5F
7638—5F

④ 公開 昭和56年(1981)7月22日

発明の数 2
審査請求 未請求

(全 8 頁)

⑤ ショットキバリヤダイオード

⑪ 特 願 昭54—168507

⑫ 出 願 昭54(1979)12月25日

⑬ 発 明 者 島田悠紀

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑭ 発 明 者 秀島研二

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 発 明 者 市川且典

東京都千代田区大手町2丁目2
番1号新電元工業株式会社内

⑯ 出 願 人 日本電信電話公社

⑰ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

⑱ 出 願 人 新電元工業株式会社

東京都千代田区大手町2丁目2
番1号

⑲ 代 理 人 弁理士 田中正治

明 細 書

1. 発明の名称 ショットキバリヤダイオード

2. 特許請求の範囲

1. 第1の導電型を有する半導体基体内にその主面側より真性半導体領域がリング状に連続せる又は間断せる態様を以つて形成され、上記真性半導体領域内にその上記主面側より第1の導電型とは逆の第2の導電型を有する半導体領域が形成され、上記半導体基体の上記真性半導体領域にてリング状に取囲まれてなる領域の上記主面側に臨む第1の面上及び上記半導体領域の上記主面側に臨む第2の面上に、それ等に共通の金属層が、上記第1の面との間でショットキバリア性接触が、上記第2の面との間でオーミック接触が得られるべく附されてなる事を特徴とするショットキバリアダイオード。

2. 第1の導電型を有する半導体基体内にその主面側より第1の真性半導体領域がリング状

に連続せる又は間断せる態様を以つて形成され、上記半導体基体の上記第1の真性半導体領域にてリング状に取囲まれてなる領域内に上記主面側より第2の真性半導体領域が形成され、上記第1及び第2の真性半導体領域内にそれ等の上記主面側より第1の導電型とは逆の第2の導電型を有する第1及び第2の半導体領域が夫々形成され、上記半導体基体の上記第1の真性半導体領域にてリング状に取囲まれてなる領域の上記主面側に臨む第1の面上、及び上記第1及び第2の半導体領域の上記主面側に臨む第2及び第3の面上に、それ等に共通の金属層が、上記第1の面との間でショットキバリア性接触が、上記第2及び第3の面との間でオーミック接触が得られるべく附されてなる事を特徴とするショットキバリアダイオード。

3. 発明の詳細な説明

本発明はショットキバリアダイオードの改良に関する。

(1)

(2)

ショットキバリアダイオードとして従来、第1図に示す如き、例えばN型の半導体基板1上にN型の半導体層2が形成されてなる構成を有する半導体基体3を有し、而してその半導体層2内にその主面4側よりP⁺型の半導体領域5が半導体層2との間でPN接合6を形成すべくリング状に連続せる態様を以つて形成され、又半導体基体3の半導体層2の半導体領域5にてリング状に取囲まれてなる領域7の主面4側に臨む面8上及び半導体領域5の主面4側に臨む面9上に、それ等に共通の金属層10が、面8との間でショットキバリア性接触11が、面9との間でオーム性接触12が得られるべく附され、更に半導体基体3の半導体基板1の半導体層2側とは反対側の面13上に導電性層14が面13との間でオーム性接触15が得られるべく附されてなる構成のものが提案されている。尚第1図に於て16は金属層10が面8及び9上にのみ附されるべく半導体基体3の半導体層2の主面4上に形成された絶縁層である。

(3)

すべく附されていることを除いては、第1図にて上述せる構成と同様の構成のものも提案されている。

所で第1図及び第2図にて上述せるショットキバリアダイオードの構成によれば、半導体基体3と、その半導体層2の半導体領域5にてリング状に取囲まれてなる領域7の面8上にショットキバリア性接触11を形成すべく附された金属層10と、半導体基体3の半導体基板1にオーム性接触15を形成すべく附された導電性層14とを以つてショットキダイオード素子を構成しているものである。又PN接合(第1図の場合PN接合6、第2図の場合PN接合6、18及び21)がPN接合を有するショットキダイオードというそのPN接合を構成しているものであるが、半導体基体3と、その半導体層2内に主面4側よりPN接合を形成すべく形成された半導体領域(第1図の場合半導体領域5、第2図の場合半導体領域5、17及び20)と、その半導体領域の面(第1図の場合9、第2図

(5)

又従来、第2図に示す如き、第1図にて上述せる構成に於て、その半導体基体3の半導体層2の半導体領域5にてリング状に取囲まれた領域7内に、主面4側より半導体領域5と同様にP⁺型の半導体領域17が半導体層2の領域7との間でPN接合18を形成すべくリング状に連続せる態様を以つて形成され、又半導体基体3の半導体層2の半導体領域17にてリング状に取囲まれてなる領域19内に半導体領域5及び17と同様にP⁺型の半導体領域20が半導体層2の領域19との間でPN接合21を形成すべく形成され、而して半導体基体3の半導体層2の半導体領域5にてリング状に取囲まれた領域7の主面4側に臨む面8上及び半導体領域5の主面4側に臨む面9上に、面8との間でショットキバリア性接触11を、面9との間でオーム性接触12を形成すべく附されてなる金属層10が、半導体領域17及び20の主面4側に臨む面22及び23上にもそれ等面22及び23との間で夫々オーム性接触24及び25を形成

(4)

の場合面9、22及び23)上にオーム性接触を形成すべく附された金属層10と、半導体基体3の半導体基板1にオーム性接触15を形成すべく附された導電性層14とを以つてPN接合ダイオード素子を構成しているものである。

従つて第1図及び第2図にて上述せるPN接合を有するショットキダイオードは、等価的にショットキダイオード素子とPN接合ダイオード素子とが互に同極性に並列接続されてなる複合ダイオード構成を有するものである。

又第1図及び第2図にて上述せるショットキバリアダイオードの構成によれば、それが上述せる如く複合ダイオード構成を有するものであるが、金属層10及び導電性層14間にそれ等を電極として金属層10側を負とする逆方向電圧を印加せしめれば、PN接合ダイオード素子が含むPN接合(第1図の場合PN接合6、第2図の場合PN接合6、18及び21)より、半導体基体3の半導体層2の半導体領域5にてリング状に取囲まれてなる領域7に於けるショッ

(6)

トキダイオード素子が含むショットキ^{バリヤ}接触11下の領域に拡がる空乏層が生じ、而してその空乏層は逆方向電圧が大となるに応じて大となる方向に拡がり、そして遂に空乏層が領域7に於けるショットキバリヤ性接触11下の全領域に拡がるものである。

従つて第1図及び第2図にて上述せるショットキバリヤダイオードは、それに逆方向電圧が印加されるものとした場合その逆方向電圧が大になるに応じて導電性層14側より金属層10側に流れる逆方向電流が減少し、そして遂にその逆方向電流が流れなくなるという、PN接合を有しない通常のショットキバリヤダイオードに比し、優れた逆方向電圧-電流特性を呈するという特徴を有するものである。

更に第1図及び第2図にて上述せるショットキバリヤダイオードの構成による場合、その金属層10及び導電性層14間にそれ等を電極として印加する電圧(これを一般にVとする)に対する金属層10及び導電性層14を流る(7)

ト素子の電圧-電流特性との合成されてなる合成電圧-電流特性を呈するものである。

この為第1図及び第2図にて上述せるショットキバリヤダイオードの場合、それに順方向電圧を印加して使用するものとして、その順方向電圧が、曲線A及びBの交点aに対応する電圧V₁以上である場合(例えばショットキバリヤダイオードを整流回路に適用するものとしてその整流回路にて大なる整流^{電流}を得んとする場合等)、PN接合ダイオード素子が含むPN接合より半導体基体3の半導体層2の半導体領域5にてリング状に取囲まれた領域7に比較的大なる量の少数キャリアが注入され、そしてそれが領域7に蓄積されるものである。

従つて第1図及び第2図にて上述せるショットキバリヤダイオードは、上述せる少数キャリアの蓄積効果によつて高速動作に制限を受けるという欠点を有するものである。

依つて本発明は、第1図及び第2図にて上述せるPN接合を有するショットキバリヤダイオ

れる電流(これを一般にIとする)の関係をみるに、それはショットキバリヤダイオード素子自体の電圧Vに対する電流Iの関係が、第3図にて曲線Aに示す如き、電圧Vの順方向電圧(電圧Vが金属層10側を正とする極性である電圧)範囲に於て、通常、比較的低い0.3ボルト程度の立ち上り電圧V₀を有し且その電圧V₀より大なる範囲に於て、比較的高い抵抗を呈するという電圧-電流特性を呈しているに對し、PN接合ダイオード素子自体の電圧Vに対する電流Iの関係が、一般に第3図にて曲線Bに示す如き、電圧Vの順方向電圧範囲に於て、通常、ショットキバリヤダイオードの場合に比し高い0.5~1.0ボルト程度の立ち上り電圧V₀を有し且その電圧V₀より大なる範囲でショットキバリヤダイオード素子の場合に比し十分低い抵抗を呈するという電圧-電流特性を呈している為、図示せざるも第3図の曲線Aに示されているショットキバリヤダイオード素子の電圧-電流特性と第3図の曲線Bに示されているPN接合ダイオ

ードの場合と同様に優れた逆方向電圧-電流特性を呈し乍ら、第1図及び第2図にて上述せるショットキバリヤダイオードの場合の如くに少数キャリアの蓄積効果によつて高速動作に制限を受けるというが如きことの無い新規なショットキバリヤダイオードを提案せんとするもので、以下詳述する所より明らかとなるであらう。

第4図は本発明によるショットキバリヤダイオードの一例を示し、例えばN⁺型の半導体基板41上にN型の半導体層42が形成されてなる構成を有する半導体基体43を有し、而してその半導体層42内にその主面44側より真性半導体領域45がリング状に例えば連続せる態様を以つて形成され、又斯く形成された真性半導体領域45内に主面44側よりP⁺型の半導体領域46が形成されている。

而して半導体基体43の半導体層42の真性半導体領域45にてリング状に取囲まれた領域47の主面44側に臨む面48上及び半導体領域46の主面44側に臨む面49上に、それ等

に共通の金属層50が、半導体基体43の半導体層42の真性半導体領域45にてリング状に取囲まれてなる領域47の主面44側に臨む面48との間でショットキバリア性接触51を、半導体領域46の主面44側に臨む面49との間でオーム性接触52が得られるべく附されている。

又半導体基体43の半導体基板41の半導体層42側とは反対側の面53上に導電性層54が面53との間でオーム性接触55が得られるべく附されている。尚第4図に於て56は金属層50が面48及び49のみに附されるべく半導体基体43の半導体層42の主面44上に形成された絶縁層である。

以上が本発明によるショットキバリアダイオードの一例の構成であるが、斯る構成によれば、半導体基体43と、その半導体層42の真性半導体領域45にてリング状に取囲まれてなる領域47の面48上にショットキバリア性接触51が得られるべく附された金属層50と、半

(11)

複合ダイオード構成を有するものであるが、金属層50及び導電性層54間にそれ等を電極として金属層50側を負とする逆方向電圧を印加せしめれば、PIN型ダイオード素子が含む真性半導体領域45より、半導体基体43の半導体層42の^(真性)半導体領域45にてリング状に取囲まれてなる領域47に於けるショットキバリアダイオード素子が含むショットキバリア性接触51下の領域に拡がる空乏層が生じ、而してその空乏層は逆方向電圧が大となるに応じて大となる方向に拡がり、そして遂に空乏層が領域47に於けるショットキバリア性接触51下の全領域に拡がるものである。

従つて第4図にて上述せる本発明によるショットキバリアダイオードは、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合と同様に、それに逆方向電圧が印加されるものとした場合、その逆方向電圧が大なるに応じて導電性層54側より金属層50側に流れる逆方向電流が減少し、そして遂にその逆

(13)

半導体基体43の半導体基板41にオーム性接触55が得られるべく附された導電性層54とを以つてショットキバリアダイオード素子を構成しているものである。又半導体基体43と、その半導体層42内にその主面44側より形成された真性半導体領域45と、その真性半導体領域45内に主面44より形成された半導体領域46と、その半導体領域46の面49上にオーム性接触52が得られるべく附された金属層50と、半導体基体43の半導体基板41にオーム性接触55が得られるべく附された導電性層54とを以つてPIN型ダイオード素子を構成しているものである。

従つて第4図にて上述せる本発明によるショットキバリアダイオードは、等価的にショットキバリアダイオード素子とPIN型ダイオード素子とが互に同極性に並列接続されてなる複合ダイオード構成を有するものである。

又第4図にて上述せる本発明によるショットキバリアダイオードによれば、それが上述せる

(12)

方向電流が流れなくなるという、PN接合を有しない通常のショットキバリアダイオードに比し優れた逆方向電圧-電流特性を呈するという特徴を有するものである。

更に第4図にて上述せる本発明によるショットキバリアダイオードの構成によれば、そのショットキバリアダイオード素子が、第1図及び第2図にて上述せる従来のショットキバリアダイオードにつき第3図を伴なつて述べたと同様に、第3図にて曲線Aに示す電圧V-電流I特性を呈するに対し、PIN型ダイオードが、第3図にて曲線Cに示す如き、電圧Vの順方向電圧範囲に於て、通常、第1図及び第2図にて上述せる従来のショットキバリアダイオードにつき第3図を伴なつて述べたPN接合ダイオード素子と同程度の0.5~1.0ボルト程度の立上り電圧V₁より大なる範囲でショットキバリアダイオード素子の場合に比し低い抵抗を呈するもPN接合ダイオード素子の場合に比し高いという電圧V-電流I特性を呈し、この為図示せざ

(14)

るも第3図の曲線Aに示されているショットキバリアダイオード素子の電圧-電流特性と第3図の曲線Cに示されているPIN型ダイオードの電圧-電流特性との合成されてなる合成電圧-電流特性を呈するものである。

従つて第4図にて上述せる本発明によるショットキバリアダイオードの場合、それに順方向電圧を印加して使用するものとして、その順方向電圧が、曲線A及びCの交点に対応する電圧 V_g 以上である場合、PIN型ダイオード素子が含む真性半導体領域45より半導体基体43の半導体層42の真性半導体領域45にてリング状に取囲まれた領域47に、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合と同様に比較的大なる量の少数キャリアが注入され、そしてそれが領域47に蓄積されるものである。

然し乍ら第4図にて上述せる本発明によるショットキバリアダイオードの場合、上述せる如くに領域47に少数キャリアが注入されること

(15)

けるということがないという特徴を有するものである。

斯く第4図にて上述せる本発明によるショットキバリアダイオードは、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合と同様に優れた逆方向電圧-電流特性を呈し乍ら、順方向電圧が上述せる V_g 以下（順方向電流が上述せる I_g 以下）である限り、第1図及び第2図にて上述せる従来のPN接合を有するショットキバリアダイオードの場合の如くに少数キャリアの蓄積効果によつて高速動作に制限を受けるといふことがないという優れた特徴を有するものである。

又第4図にて上述せる本発明によるショットキバリアダイオードの場合、上述せる V_g の値が第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合の、 V_g に対応する V_f に比し十分大であることにより、上述せる電圧 V_g に対する順方向電流 I_g の値が、第1図及び第2図にて上述せる従来のショットキバリアダイ

(17)

になる電圧 V_g の値が、第3図を伴なつて上述せる所より明らかな如く、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合の、上述せる V_g に対応する電圧 V_f の値に比し、十分大であるものである。

この為第4図にて上述せる本発明によるショットキバリアダイオードの場合、それに順方向電圧を印加して使用するものとした場合、その順方向電圧が、電圧 V_g 以下である限り、上述せる電圧 V_f 以上であつても、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合の如くに領域47に大なる量の少数キャリアが注入され、そしてそれが領域47に蓄積されるというが如きことがないものである。

従つて第4図にて上述せる本発明によるショットキバリアダイオードは、順方向電圧が上述せる V_g 以下（順方向電流が V_g に対応せる I_g 以下）である限り、第1図及び第2図にて上述せるショットキバリアダイオードの場合の如くに少数キャリアの蓄積効果によつて高速動作に制限を受

(16)

オードの場合の、 V_g に対応する V_f に対する順方向電流 I_f の値に比し大であり、この為取扱い得る順方向電流範囲が第1図及び第2図にて上述せる従来のショットキバリアダイオードに比し I_f の値より大なる方向に $(I_g - I_f)$ 分大であり、又その I_f の値より大なる方向に $(I_g - I_f)$ 分大となる範囲に於ては、合成電圧-電流特性のショットキバリアダイオード素子の電圧-電流特性への依存性が大であることにより、多数キャリアの少数キャリアに対する割合が高いものである。

従つて第4図にて上述せる本発明によるショットキバリアダイオードは、順方向電圧が上述せる $V_g \sim V_f$ の範囲（順方向電流が上述せる $I_g \sim I_f$ の範囲）である場合、第1図及び第2図にて上述せる従来のショットキバリアダイオードの場合に比しより高速動作をなすものである等の特徴も併せ有するものである。

次に第5図を伴なつて本発明によるショットキバリアダイオードの他の例を述べるに、本例

(18)

に於て第4図との対応部分には同一符号を附して詳細説明はこれを省略するも、第4図にて上述せる構成に於て、その半導体基板43の半導体層42の真性半導体領域45にてリング状に取囲まれてなる領域47内にその主面44側より真性半導体領域45と同様の真性半導体領域60が形成され、又その真性半導体領域60内に主面44側により半導体領域46と同様のP⁺型の半導体領域61が形成され、而してその半導体領域61の主面44側に臨む面63上にも金属層50が面63との間でオーム性接触64を形成すべく附されていることを除いては第4図の場合と同様の構成を有する。

以上が本発明によるショットキバリアダイオードの他の例であるが、それが上述せる事項を除いて第4図にて上述せる本発明の例の場合と同様であり、そしてこの場合第4図にて上述せるPIN型ダイオードの外半導体基体43、真性半導体領域60、半導体領域61、金属層50及び導電性層54を以つて他のPIN型ダイオード(19)

態様を以つて形成するに代えリング状に間断せる態様を以つて形成することも出来、又第5図にて上述せる構成に於て真性半導体領域60を複数分布形成して、ショットキバリアダイオードをより小型密実形成する様になすことも出来、その他本発明の精神を脱することなしに種々の変型変更をなし得るであろう。

4. 図面の簡単な説明

第1図；及び第2図には夫々従来のショットキバリアダイオードを示す略線的断面図、第3図は電圧-電流特性を示す曲線図、第4図は本発明によるショットキバリアダイオードの一例を示す略線的断面図、第5図は本発明によるショットキバリアダイオードの他の例を示す略線的断面図である。

図中、41は半導体基板、42は半導体層、43は半導体基体、44は主面、45及び60は真性半導体領域、46及び61は半導体領域、51はショットキバリア性接触、52、55及び64はオーム性接触、50は金属層、54は

(21)

ード素子を構成しているもので、詳細説明はこれを省略するも、第4図にて上述せる本発明の例の場合と同様の優れた特徴を有すること明らかであろう。但し本例の場合、真性半導体領域60が半導体基体43の半導体層42の半導体領域45にてリング状に取囲まれた領域47内に形成されていて、その真性半導体領域60を含んで、真性半導体領域45を含んで構成せるPIN型ダイオード素子と同様のPIN型ダイオード素子が構成されているので、逆方向電圧の印加により領域47のショットキバリア性接触51下の全領域に広がる空乏層が得られる場合に於ける逆方向電圧が、第4図の本発明の例の場合に比し低い値となり、依つて逆方向電圧-電流特性が第4図の本発明の例の場合に比しより優れたものとして得られる特徴を有するものである。

尚上述に於ては本発明によるショットキバリアダイオードの僅かな例を示したに留まり、例えば真性半導体領域45をリング状に連続せる(20)

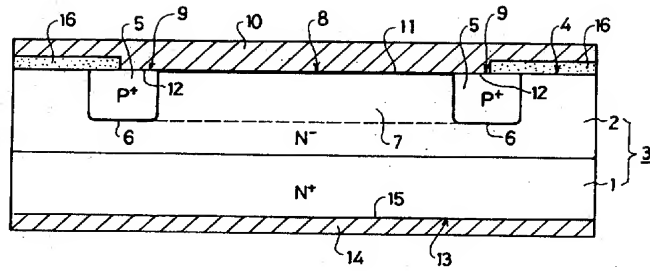
導電性層を夫々示す。

出 願 人	日本電信電話公社
同	日本電気株式会社
同	新電元工業株式会社
代 理 人	弁理士 田 中 正 治

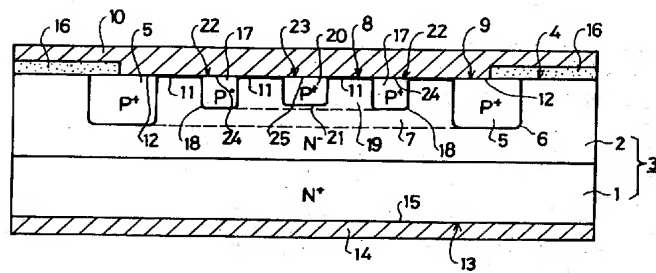
(22)

第 1 図

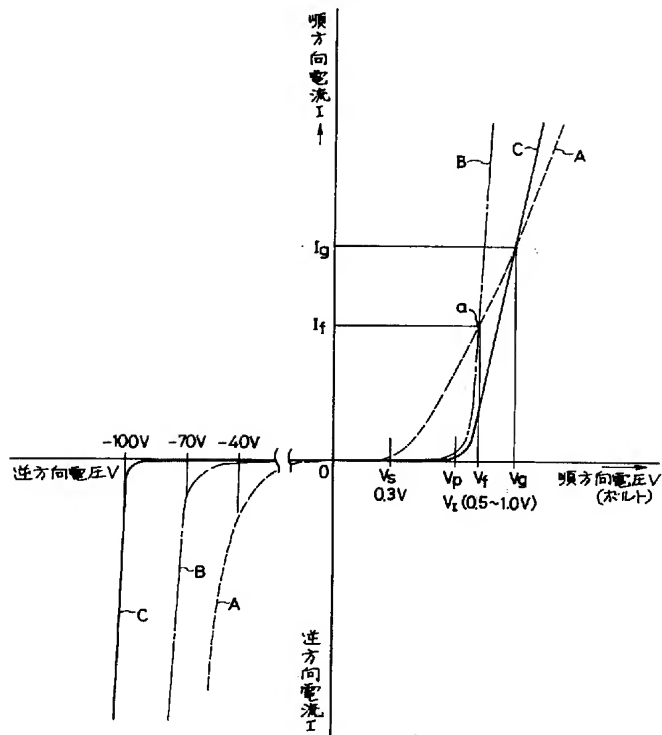
特開昭 56- 90565 (7)



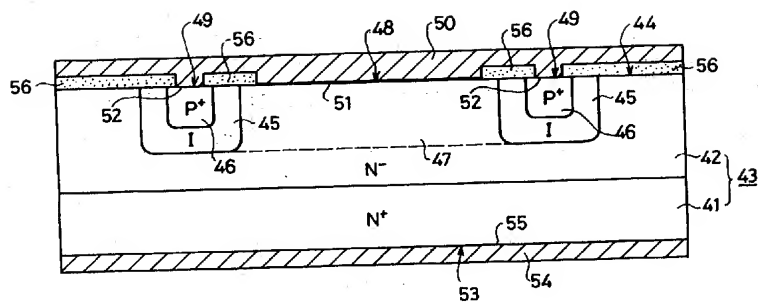
第 2 図



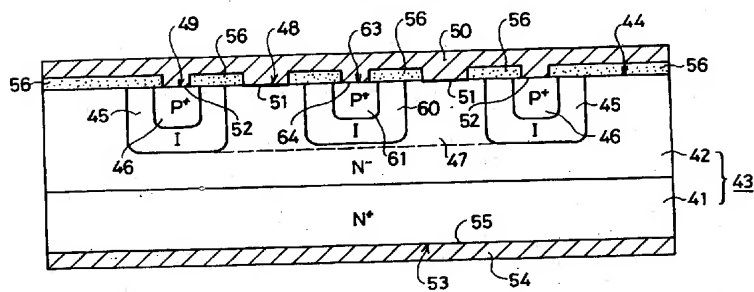
第 3 図



第 4 図



第 5 図



PAT-NO: JP356090565A
DOCUMENT-IDENTIFIER: JP 56090565 A
TITLE: SCHOTTKY
BARRIER DIODE
PUBN-DATE: July 22, 1981

INVENTOR-INFORMATION:

NAME	COUNTRY
-------------	----------------

SHIMADA, YUKI	
---------------	--

HIDESHIMA, KENJI	
------------------	--

ICHIKAWA, KATSUNORI	
---------------------	--

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP	N/A
NEC CORP	N/A
SHINDENGEN ELECTRIC MFG CO LTD	N/A

APPL-NO: JP54168507

APPL-DATE: December 25, 1979

INT-CL H01L029/91 , H01L029/48
(IPC):

US-CL-CURRENT: 257/480 , 257/
E29.338

ABSTRACT:

PURPOSE: To obtain a diode functioning at high speed by a method wherein a P+ layer is formed on a

surface of a ringed I layer on an N layer, a common electrode is attached, the contacts of both the N layer and a Schottky barrier property and both the I layer and an ohmic property are made up, and an ohmic electrode is fitted on the back.

CONSTITUTION: An I (intrinsic semiconductor) layer 45 is circularly formed on a main surface of an N- layer 42 on an N+ type substrate 41, and a P+ layer 46 is made up in the region. A metal layer 50 is attached in common on the surfaces of a region 47 surrounded by the I layer and the P+ layer 46, and both the region 47 and a Schottky barrier contact 51, both the layer 46 and an ohmic contact 52 and both the substrate 41 and an ohmic contact 55 are built up. A layer 56 is an insulating layer. According to this constitution, a composite element in which a Schottky

barrier diode and a PIN diode are connected in parallel in the same polarity is formed, a depletion layer finally expands to the whole region 47 and currents in the reverse direction do not flow when the electrode 50 is made negative and voltage is applied, and a diode is obtained which has characteristics more superior than a normal Schottky barrier diode.

COPYRIGHT: (C)1981,JPO&Japio